

99 P 2795



⑯ BUNDESREPUBLIK

DEUTSCHLAND



DEUTSCHES

PATENTAMT

Offenlegungsschrift

⑯ DE 43 19 066 A 1

⑯ Int. Cl. 5:

H 03 B 19/00

H 03 L 7/06

// H04L 7/033

37

DE 43 19 066 A 1

⑯ Aktenzeichen: P 43 19 066.9

⑯ Anmeldetag: 9. 6. 93

⑯ Offenlegungstag: 15. 12. 94

⑯ Anmelder:

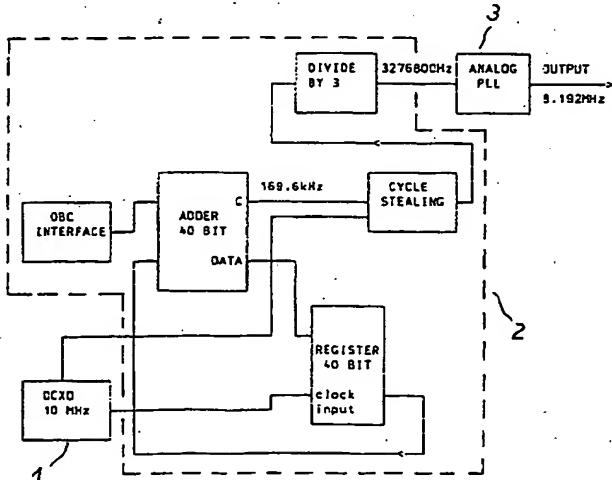
Alcatel SEL Aktiengesellschaft, 70435 Stuttgart, DE

⑯ Erfinder:

Powell, William Edward, Raleigh, N.C., US; Rieder, Klaus-Hartwig, 7000 Stuttgart, DE; Hörsch, Günter, 7252 Weil der Stadt, DE

⑯ Schaltungsanordnung für einen regelbaren Oszillator

⑯ Um eine störungsfreie Übertragung digitaler Nachrichten zu gewährleisten, werden Oszillatoren mit hoher Güte und Zuverlässigkeit bei langer Lebensdauer benötigt. Für diese Zwecke werden spannungsgesteuerte Oszillatoren eingesetzt, die über einen Mikroprozessor und einen Digital/Analogwandler abgestimmt werden und Bestandteil eines Phasenregelkreises sind. Bei diesen Anordnungen muß ein Kompromiß zwischen Regelbereich und Stabilität gefunden werden, die Regelkennlinie ist nichtlinear und die Auflösung ist durch die Schrittweite des Digital/Analogwandlers begrenzt. Mit der erfindungsgemäßen Schaltungsanordnung wird ein Oszillator angegeben, dessen Frequenz linear in einem großen Regelbereich verändert werden kann, ohne daß die Stabilität des Oszillators beeinflußt wird. Die Schaltung wird mit einer üblichen 5-V-Betriebsspannung versorgt. Dazu wird die Frequenz eines Festfrequenzgenerators (1) mit einem Frequenzteiler (2), dessen Teilerverhältnis in sehr kleinen Schritten variiert werden kann, auf die gewünschte Frequenz geteilt und der dabei entstehende Jitter wird mit einem einfachen Phasenregelkreis (3) gefiltert. Der Oszillator ist universell als Taktgenerator in allen digitalen Schaltungsanordnungen einsetzbar.



DE 43 19 066 A 1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 10.94 408 050/79

1
Beschreibung

Die Erfindung betrifft eine Schaltungsanordnung für einen regelbaren Oszillator, der beispielsweise Basis für Taktgeneratoren in digitalen Nachrichtenübertragungssystemen ist. Um eine störungsfreie Übertragung digitaler Nachrichten zu gewährleisten, werden Oszillatoren mit hoher Güte und Zuverlässigkeit bei langer Lebensdauer benötigt. Es ist allgemein bekannt, für diese Zwecke spannungsgesteuerte Quarzoszillatoren einzusetzen, die über einen Mikroprozessor und einen Digital/Analogwandler abgestimmt werden und Bestandteil eines Phasenregelkreises sind, vgl. Ernst, W., Hartmann H. L.: Neue Taktgeneratoren für EWSD. telecom report 9 (1986) Heft 4, S. 263–269. Um die hohen Anforderungen an die Genauigkeit und Stabilität eines Taktgenerators zu erfüllen, ist ein beträchtlicher Schaltungsaufwand erforderlich, beispielsweise werden mikroprozessorgesteuerte digitale Phasenregelkreise eingesetzt. Dennoch setzen die physikalischen Eigenschaften eines regelbaren Quarzoszillators bestimmte Grenzen. So muß stets ein Kompromiß zwischen Regelbereich und Stabilität gefunden werden, weil mit Vergrößerung des Regelbereichs die Stabilität des Quarzoszillators abnimmt, somit ist der Regelbereich begrenzt. Wegen der Nichtlinearität der Regelkennlinie, die die Funktion der Frequenz von der Steuerspannung beschreibt, müssen Toleranzen der Steilheit der Regelkennlinie von $\pm 50\%$ bei der Dimensionierung der Schaltung berücksichtigt werden. So muß der Phasenregelkreis für eine Verstärkungsschwankung von $\pm 50\%$ beziehungsweise mit einer Bandbreitetoleranz von $\pm 50\%$ ausgelegt sein. Schließlich ist die Auflösung des Regelbereichs durch die Schrittweite des Digital /Analogwandlers begrenzt, wobei Temperaturänderungen und Nichtlinearitäten zusätzliche Einflußgrößen auf die Arbeitsweise des Digital/Analogwandlers sind. Überlicherweise müssen Digital/Analogwandler mit Betriebsspannungen von mindestens ± 12 V versorgt werden. Bei abstimmbaren thermostatgeregelten Quarzoszillatoren sind die geringe Langzeitstabilität, die Temperaturabhängigkeit und die Nichtlinearität der Regelkennlinie Eigenschaften, aus denen Probleme bei der Realisierung von hochgenauen Taktgeneratoren resultieren.

Aufgabe der Erfindung ist es nun, einen kostengünstigen und universell einsetzbaren Oszillator anzugeben, der unter Einhaltung enger Toleranzen im wesentlichen kontinuierlich über einen großen Bereich geregelt werden kann, ohne daß dadurch die Stabilität beeinflußt wird. Die Stromversorgung soll ausschließlich von einer Standard-5-V-Spannungsquelle erfolgen.

Diese Aufgabe wird durch die im Hauptanspruch angegebenen Merkmale erfüllt. In den Unteransprüchen sind Realisierungsvarianten angegeben, die sich durch die interne Frequenzaufbereitung in der Schaltungsanordnung unterscheiden.

Das Wesen der Erfindung besteht darin, daß die gewünschte Frequenz von einem thermostatgeregelten Standard-Festfrequenzoszillator im wesentlichen über einen Frequenzteiler, dessen Teilverhältnis in beliebigen Schritten verändert werden kann, abgeleitet wird. Der Einsatz eines Digital/Analogwandlers entfällt, so daß vorteilhafterweise der Taktgenerator mit einer üblichen 5-V-Betriebsspannung versorgt werden kann. Mit der erfindungsgemäßen Schaltungsanordnung kann die Frequenz linear in einem Regelbereich von ± 70 ppm (parts per million) verändert werden, ohne daß dadurch die Stabilität des Oszillators überhaupt beeinflußt wird.

Die Alterung des Festfrequenzoszillators kann daher problemlos kompensiert werden.

Einzelheiten der Erfindung werden nachstehend in Ausführungsbeispielen erläutert. In der dazugehörigen Zeichnung zeigen

Fig. 1 ein Blockschaltbild der erfindungsgemäßen Schaltungsanordnung,

Fig. 2 eine erste Schaltungsvariante mit einem Detail-schaltbild eines Analog-Phasenregelkreises,

Fig. 3 eine zweite Schaltungsvariante der erfindungsgemäßen Schaltungsanordnung,

Fig. 4 eine dritte Schaltungsvariante der erfindungsgemäßen Schaltungsanordnung und

Fig. 5 eine vierte Schaltungsvariante mit zwei Impulsausblendschaltungen.

Gemäß Fig. 1 besteht die Schaltungsanordnung für einen regelbaren Oszillator aus einem thermostatstabilisierten Festfrequenzgenerator 1, engl. Oven Controlled Crystal Oscillator OCXO, einem Frequenzteiler 2 mit variablem Teilverhältnis und einem analogen Phasenregelkreis 3, engl. Phase-Locked Loop PLL. Der Frequenzteiler 2 besteht im wesentlichen aus einem Register und einem Addierer, engl. Adder, der über eine Schnittstellenschaltung, engl. On Board Controller Interface OBC, von einem Mikroprozessor angesteuert wird, sowie bedarfsweise aus Impulsausblendschaltungen, engl. Cycle Stealing, und Frequenzteilern mit festem Teilverhältnis, hier beispielsweise Divide by 3. Der analoge Phasenregelkreis 3 besteht gemäß Fig. 2 aus einem Phasendetektor Phase Comp., einem aktiven Schleifenfilter mit einem Operationsverstärker Op. Amp. und einem spannungsgesteuerten Oszillator VCXO, engl. Voltage Controlled Crystal Oscillator, sowie bedarfsweise aus einem Frequenzteiler DIV, über den die Referenzfrequenz für den Phasendetektor Phase Comp. bereitgestellt wird. Der analoge Phasenregelkreis 3 wird vorteilhafterweise wie folgt dimensioniert

$$\begin{array}{ll} R = 10\,000 \text{ Ohm} & C = 15,9 \text{ nF} \\ R1 = 872\,340 \text{ Ohm} & C1 = 75 \text{ nF} \\ R2 = 1000\,000 \text{ Ohm} & C2 = 159 \text{ pF} \end{array}$$

Die Steilheit des Phasenkomparators beträgt $K_p = 0,4\text{V/rad}$. Die Regelsteilheit des spannungsgesteuerten Oszillators VCXO beträgt $K_v = 204,8 \text{ Hz/V}$. Daraus ergibt sich eine Bandbreite des analogen Phasenregelkreises von annähernd 90 Hz.

Bei der in Fig. 1 dargestellten Schaltungsanordnung taktet der Festfrequenzgenerator 1 das Register, dessen Inhalt in dem Addierer zu einem von dem Mikroprozessor OBC gelieferten digitalen Stellwert addiert wird. Am Carry-Ausgang des Addierers entsteht dann eine Impulsfolge, deren Frequenz durch den digitalen Stellwert des Mikroprozessors OBC variiert werden kann. Bei Vergrößerung des digitalen Stellwerts und gleichbleibender Frequenz des Festfrequenzgenerators 1 wird die Frequenz am Carry-Ausgang erhöht. Somit ist eine Frequenzvariation in sehr kleinen Stufen möglich. Die erzeugte Frequenz f wird aus dem digitalen Stellwert m und der Bitbreite des Addierers n nach folgender Beziehung errechnet:

$$f = f_{\text{OCXO}} \cdot \left(\frac{m}{2^n} \right)$$

Mit einer Impulsausblendschaltung und mittels sogenanntem Cycle Stealing von der Frequenz $f_1 = 10$ MHz des Festfrequenzgenerators die Ausgangsfrequenz $f_2 = 169,6$ kHz des Addierers subtrahiert. Das Ergebnis $f_3 = 9,8304$ MHz wird von einem Frequenzteiler durch drei dividiert und dem analogen Phasenregelkreis 3 zugeführt. Der analoge Phasenregelkreis 3 wird in der erfundungsgemäßen Schaltung nicht wie im bekannten Stand der Technik als frequenzbestimmende Baugruppe des Taktgenerators eingesetzt, sondern dient zur Filterung des durch die Impulsausblendung entstandenen Jitters und zur Frequenzvervielfachung. Durch die digitale Frequenzaufbereitung ist ein Jitter bedingt, der jedoch durch den analogen Phasenregelkreis 3 einfacherster Bauart mit einem herkömmlichen Quarzoszillator in engen Grenzen gehalten wird. Für die in Fig. 1 dargestellte Schaltung und mit der oben genannten Dimensionierung des analogen Phasenregelkreises 3 wird bei der Ausgangsfrequenz $f_4 = 8,192$ MHz ein Jitter von weniger als 280 Picosekunden innerhalb eines Regelbereiches von ± 7 ppm erreicht. Die Frequenzauflösung oder Schrittweite beträgt in der dargestellten Dimensionierung

$$\frac{\Delta f}{f} = 9,25 \cdot 10^{-13}.$$

Für viele Anwendungsfälle ist die in Fig. 2 dargestellte Schaltungsanordnung, bei der im Vergleich zu der in Fig. 1 dargestellten Schaltung auf die Impulsausblendschaltung mit nachgeschaltetem Frequenzteiler verzichtet wird, ausreichend. Bei dieser einfachen und universellen Lösung entsteht bei der angegebenen Dimensionierung ein Jitter von weniger als 800 Picosekunden.

In Fig. 3, Fig. 4 und Fig. 5 sind Varianten der erfundungsgemäßen Schaltungsanordnung dargestellt, die sich in der Art der Frequenzaufbereitung unterscheiden und je nach Ausgangsfrequenz und zugelassenem Jitter vorteilhaft sind.

Gemäß Fig. 3 wird die Frequenz $f_1 = 10$ MHz des Festfrequenzgenerators 1 zunächst von einem Frequenzteiler durch 32 dividiert bevor die Weiterverarbeitung mit gleicher Schaltungsstruktur wie in Fig. 1 dargestellt erfolgt. Diese Schaltung hat den Vorteil, daß die Bitbreite von Register und Addierer nur 32 Bit beträgt, um eine vergleichbare Einstellgenauigkeit zu erreichen.

Fig. 4 zeigt eine Schaltungsanordnung, bei der die Frequenz $f_1 = 10$ MHz des Festfrequenzgenerators 1 auf eine Frequenz $f = 2,04082$ MHz geteilt und dann als Sollfrequenz dem Phasendetektor zugeführt wird. Die Vergleichsfrequenz wird durch Cycle Stealing aus der Differenz der Frequenz der Ausgangsimpulse des analogen Phasenregelkreises 3 und der Ausgangsfrequenz des Addierers über einen der Impulsausblendschaltung nachgeschaltetem Frequenzteiler gebildet. Eine solche Schaltungsanordnung ist dann zweckmäßig, wenn Frequenzen erzeugt werden sollen, bei denen der Jitter im Vergleich zu den zuvor genannten Schaltungsanordnungen geringer ist.

In Fig. 5 ist eine Schaltungsvariante dargestellt, bei der sowohl die Sollfrequenz als auch die Vergleichsfrequenz für den Phasendetektor des analogen Phasenregelkreises 3 mittels Impulsausblendschaltungen aus Frequenzdifferenzen gebildet werden. Die grundsätzliche Schaltungsstruktur bleibt jedoch erhalten. Die Schaltungsvariante ist besonders dann günstig, wenn Fre-

quenzen mit besonders ~~großem~~ Jitter erzeugt werden sollen.

Mit der erfundungsgemäßen Schaltungsanordnung lassen sich mit dem gleichen thermostabilisierten Festfrequenzgenerator Taktgeneratoren mit unterschiedlichen Frequenzen realisieren. Durch diese universelle Einsatzmöglichkeit sind derartige regelbare Oszillatoren in großen Stückzahlen und damit kostengünstig herstellbar. Dadurch, daß Festfrequenzgeneratoren anstelle von spannungsgesteuerten Oszillatoren verwendet werden, wird eine bessere Kurzzeitstabilität, eine geringere Alterungsrate und eine bessere Temperaturstabilität erzielt. Außerdem wird mit der erfundungsgemäßen Schaltungsanordnung ein wesentlich größerer Frequenzregelbereich, auch Ziehbereich genannt, erreicht. Die Schaltungsanordnung ist ausschließlich mit Baugruppen, deren Versorgungsspannung $U = + 5$ V beträgt, realisierbar und ist problemlos in üblichen Nachrichtenübertragungsanlagen einsetzbar.

Patentansprüche

1. Schaltungsanordnung für einen regelbaren Oszillator, dadurch gekennzeichnet, daß ein Festfrequenzgenerator (1) mit einem Frequenzteiler (2) dessen Teilverhältnis einstellbar ist, verbunden ist, und daß der Ausgang des Frequenzteilers (2) an einen Eingang des Phasendetektors eines analogen Phasenregelkreises (3) geschaltet ist.

2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß der Frequenzteiler (2) aus einem Register besteht, dessen Ausgang an den ersten Eingang eines Addierers (Adder) geschaltet ist, daß der zweite Eingang des Addierers (Adder) mit einem Mikroprozessor (OBC) verbunden ist und daß der Ausgang des Addierers (Adder) an den Sollfrequenzeingang des Phasendetektors des analogen Phasenregelkreises (3) geschaltet ist.

3. Schaltungsanordnung nach Anspruch 2, dadurch gekennzeichnet, daß der Addierer (Adder) an den ersten Eingang einer Impulsausblendschaltung (Cycle Stealing) geschaltet ist, daß der zweite Eingang der Impulsausblendschaltung (Cycle Stealing) mit dem Ausgang des Festfrequenzgenerators (1) verbunden ist und der Impulsausblendschaltung (Cycle Stealing) ein Frequenzteiler mit festem Teilverhältnis nachgeschaltet ist.

4. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß der Festfrequenzgenerator (1) einerseits über einen Frequenzteiler mit festem Teilverhältnis mit dem Register verbunden ist und andererseits über eine erste Impulsausblendschaltung (Cycle Stealing 1) die die Differenz zwischen Frequenz des Festfrequenzgenerators (1) und Frequenz der Ausgangsimpulse des Addierers (Adder) bildet, mit nachgeschaltetem Frequenzteiler an den Sollfrequenzeingang des Phasendetektors des analogen Phasenregelkreises (3) geschaltet ist und daß der Ausgang des Addierers (Adder) über eine zweite Impulsausblendschaltung (Cycle Stealing 2), die die Differenz der Frequenz der Ausgangsimpulse des Addierers (Adder) und der Ausgangsfrequenz des analogen Phasenregelkreises (3) bildet, mit nachgeschaltetem Frequenzteiler mit dem Vergleichsfrequenzeingang des Phasendetektors des analogen Phasenregelkreises (3) verbunden ist.

5. Schaltungsanordnung nach Anspruch 1, dadurch

gekennzeichnet, daß der Sollfrequenzgenerator (1) über einen Frequenzteiler mit dem Sollfrequenzeingang des Phasendetektors des analogen Phasenregelkreises (3) verbunden ist, daß der Eingang des Frequenzteilers (2) mit einstellbarem Teilverhältnis an den Ausgang des analogen Phasenregelkreises (3) und der Ausgang des Frequenzteilers (2) mit einstellbarem Teilverhältnis an den Vergleichsfrequenzeingang des Phasendetektors des analogen Phasenregelkreises (3) geschaltet ist.

5

10

Hierzu 5 Seite(n) Zeichnungen

15

20

25

30

35

40

45

50

55

60

65

- Leerseite -

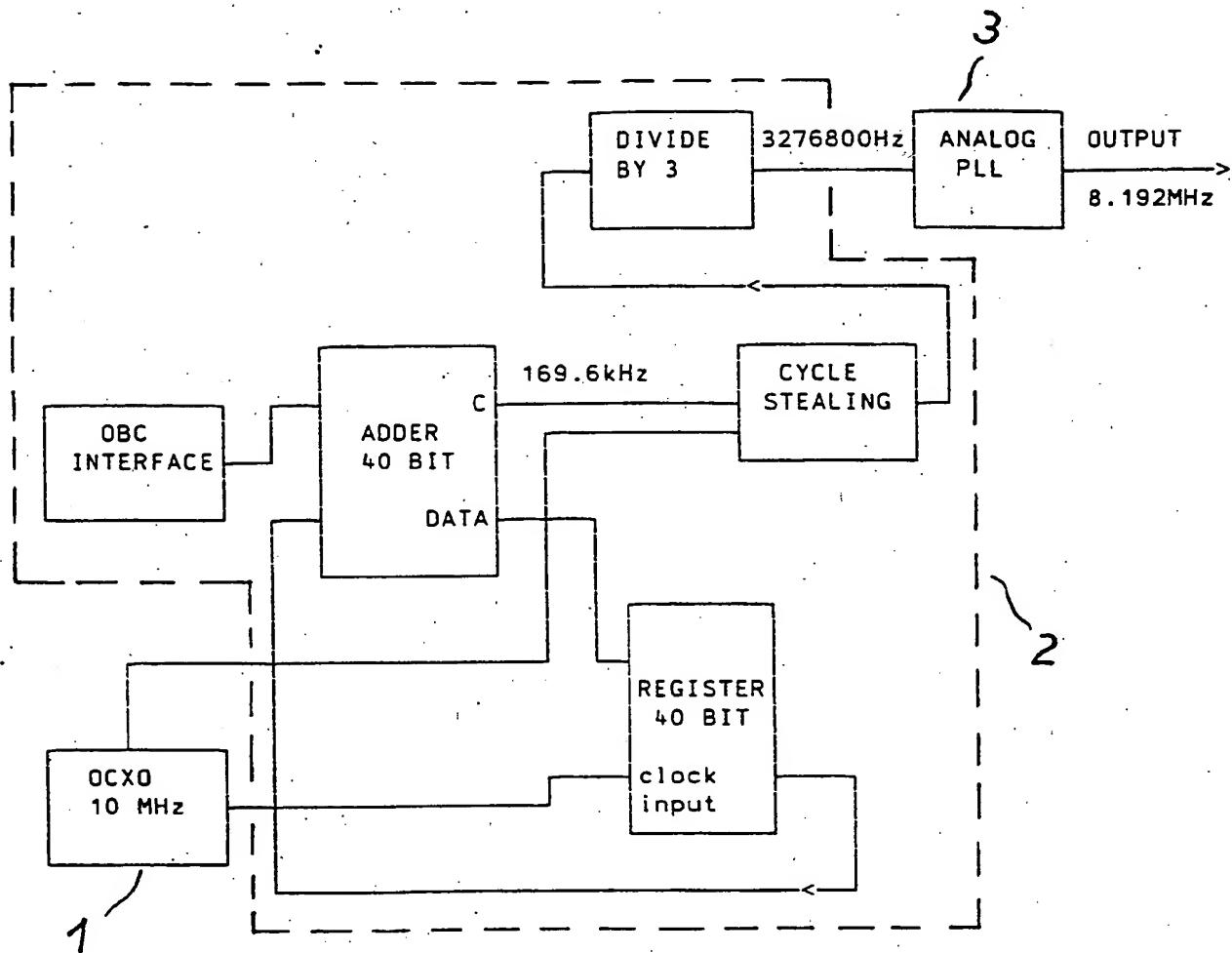


Fig. 1

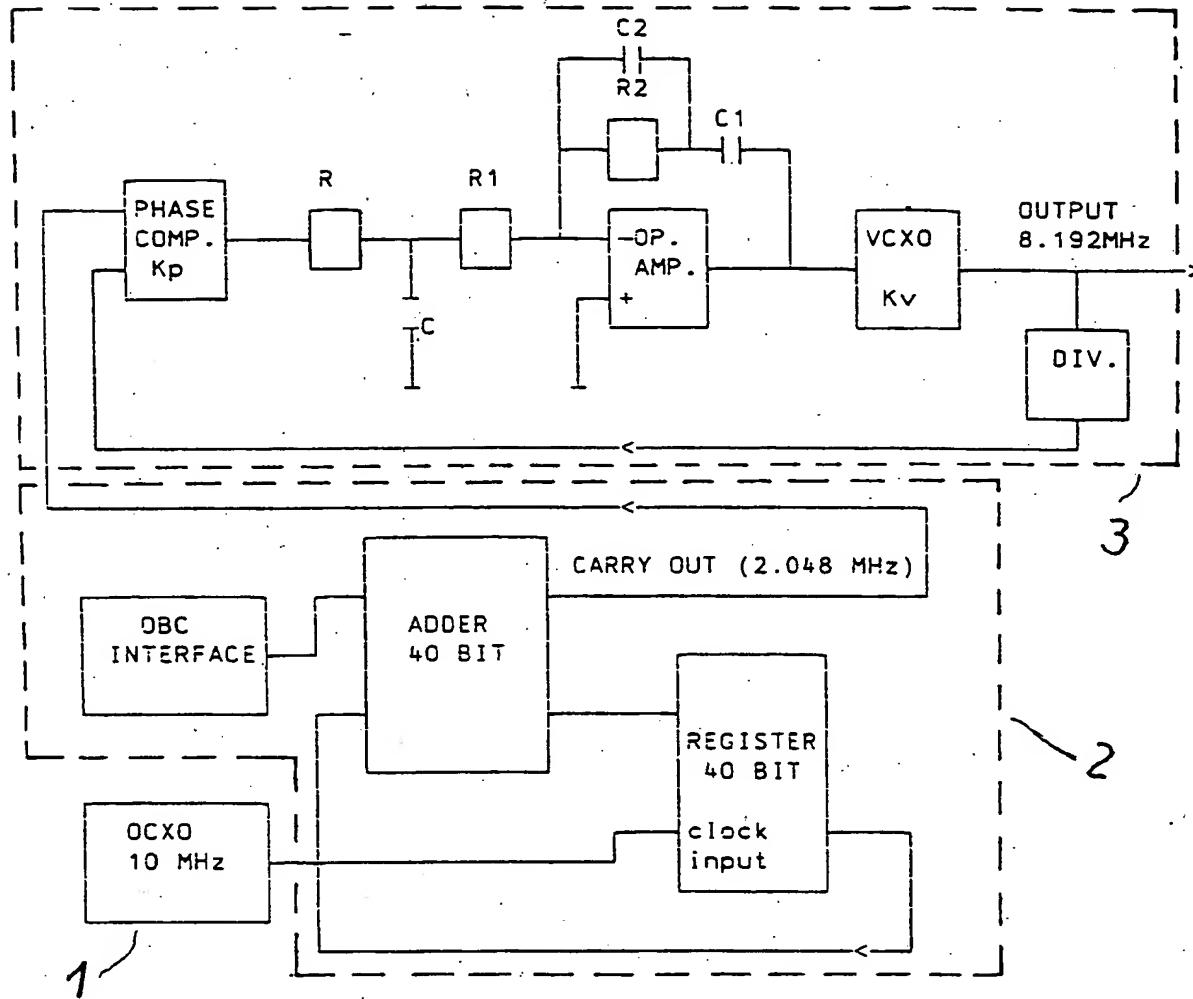


Fig. 2

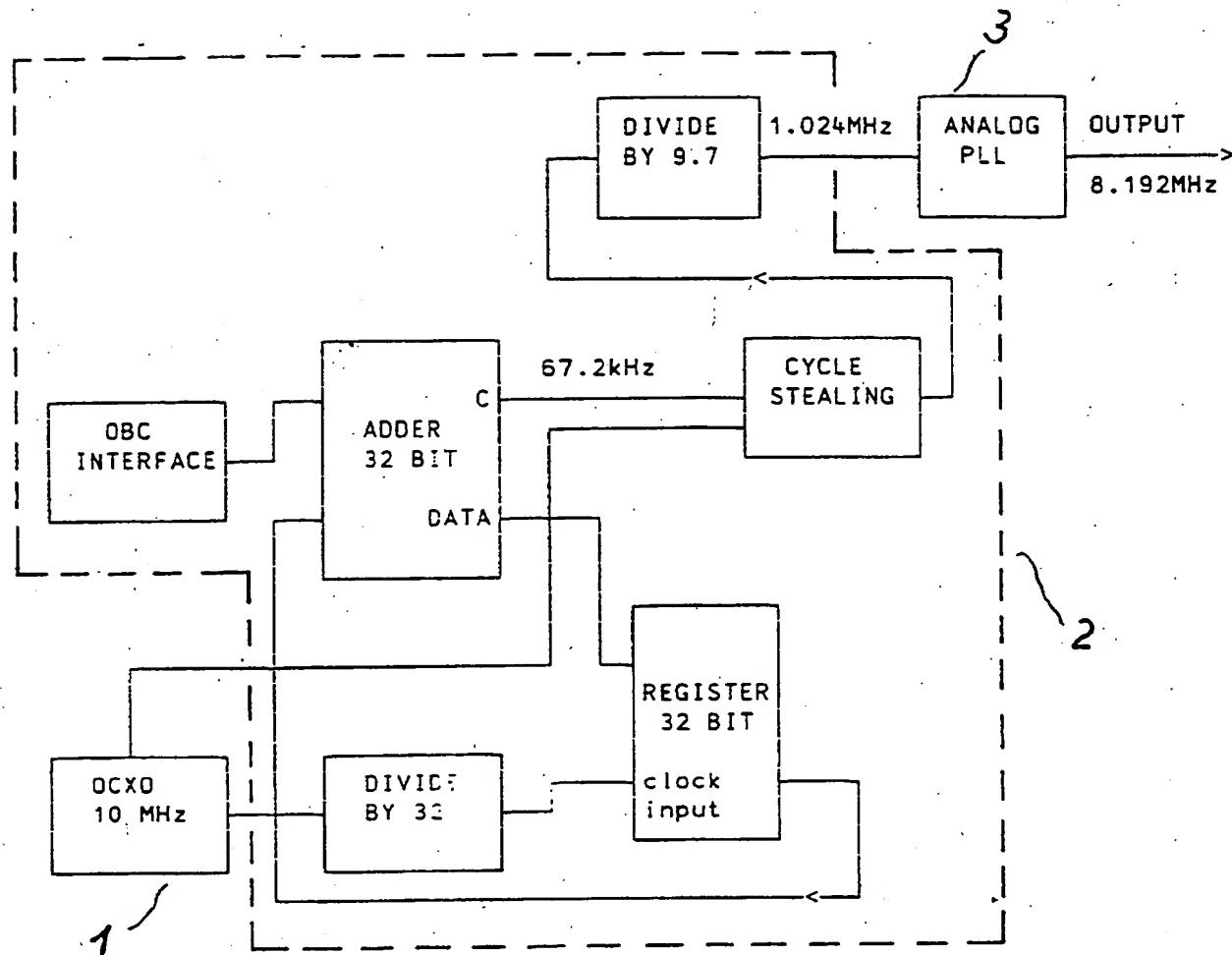


Fig. 3

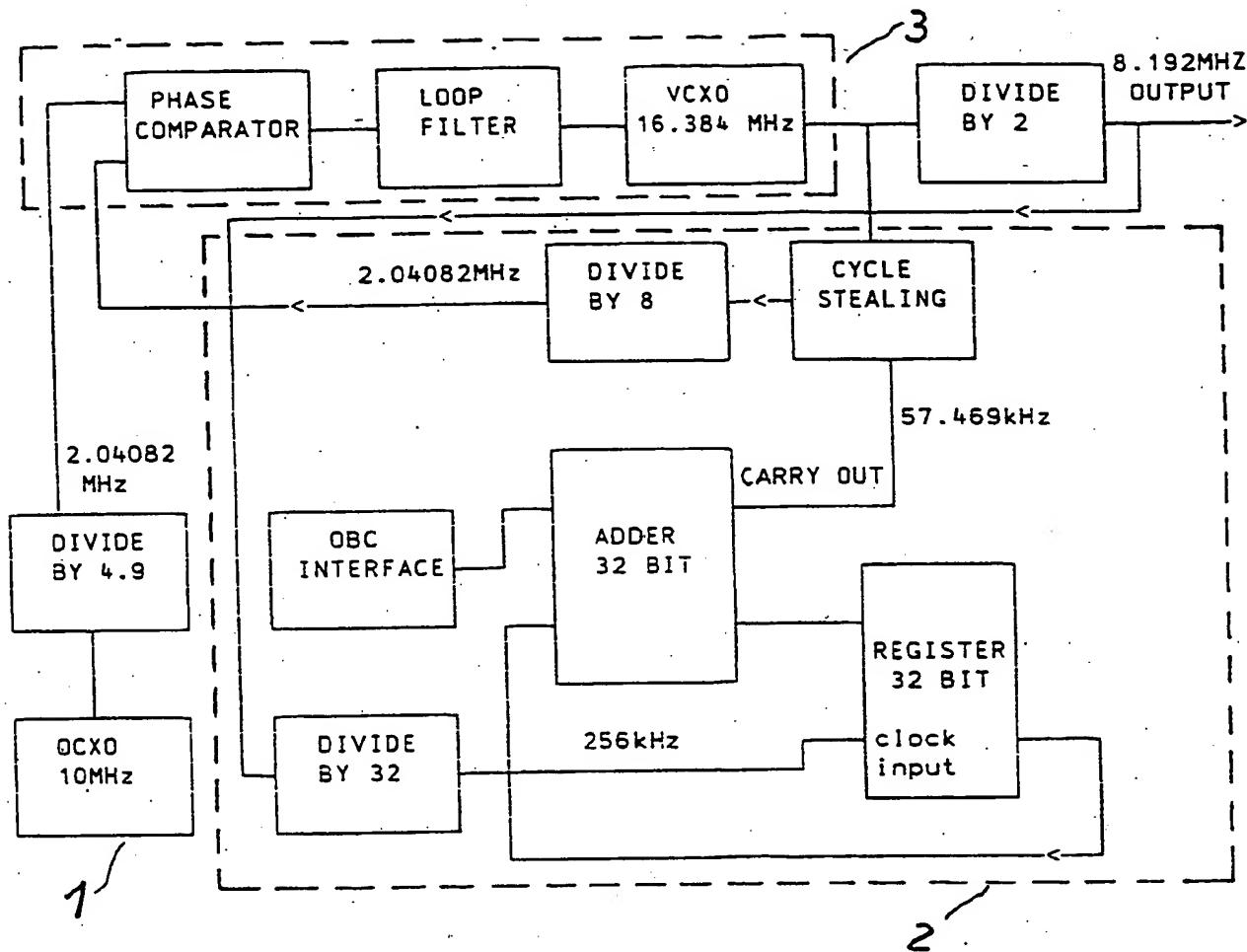


Fig. 4

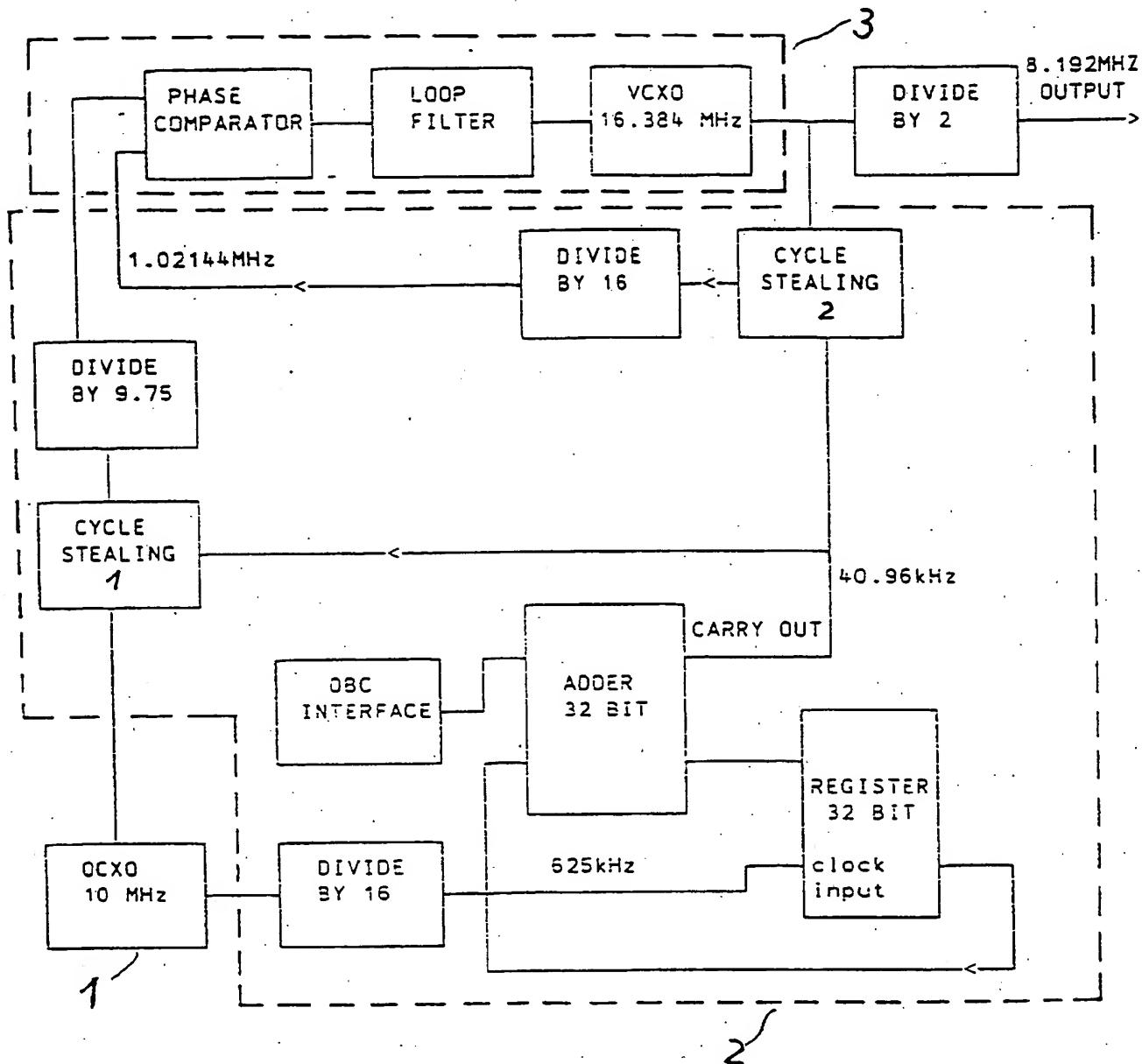


Fig. 5